Análisis fuera de línea y realización en tiempo real de sistemas discretos lineales e invariantes

Propuesta de práctica para el laboratorio de las asignaturas:

ANÁLISIS DE SISTEMAS Y SEÑALES

y

SEÑALES Y SISTEMAS

Hecha por Antonio Salvá Calleja

Noviembre de 2016

Contenido

Objetivo general de aprendizaje: Que el alumno asimile el uso de métodos analíticos y recursivos empleados para el análisis de sistemas discretos lineales e invariantes, y además, visualice como una computadora digital realiza un SDLI. Y compare la obtención de la salida de un SDLI por medios analíticos con lo propio empleando la ecuación de recurrencia asociada.

1. Teoria básica acerca de sistemas discretos lineales e invariantes

El uso de las computadoras digitales para fines de aplicaciones de instrumentación y/o control (AIC), hoy en día es una realidad cotidiana.
Una AIC específica, realizada con una computadora digital, recibirá como entrada información a procesar **x(t)**, y presentará como salida información **y(t)**, utilizable por el usuario de la aplicación. El usuario podrá ser otra AIC; o bien, una persona. En la figura 1.1 se muestra un esquema simplificado de una AIC realizada con una computadora digital.

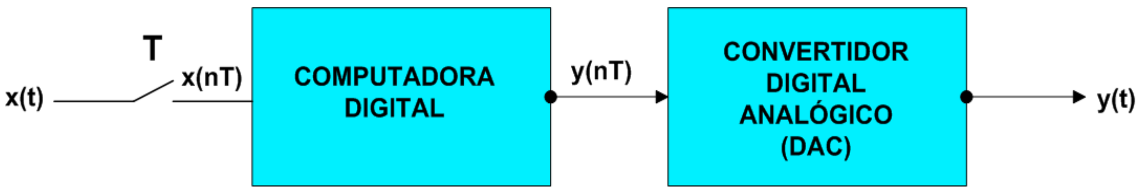

Fig 1.1 AIC realizada por una computadora digital

Por lo regular, las señales de entrada y salida asociadas con una AIC determinada, son de origen, de tipo analógico. Por lo tanto, dado que las computadoras digitales en esencia operan de manera discreta, cuando en la validación de una AIC se usa una computadora digital, la señal de entrada a la computadora deberá ser una secuencia de números **x(nT)**, que se obtienen al muestrear la señal analógica asociada con la variable que se va a procesar. Por otro lado, la señal de salida de la computadora será una secuencia de números **y(nT)**, a partir de éstos, empleando un *convertidor digital analógico*, se obtiene la señal analógica que entregaría el mismo tipo de sistema cuando éste es validado con componentes analógicos.
El procesamiento que hace la computadora consiste en la realización de diversas operaciones aritméticas, **las cuales deben efectuarse en tiempo real**, esto es, el tiempo para el procesamiento de cada valor puntual x(nT) de la entrada debe ser menor que el periodo entre muestras **T**.
A un sistema cuyas entradas y salidas sean secuencias de números, como es el caso de la computadora digital de la figura 1.1, se le conoce en la literatura como Sistema Discreto (SD), si además éste es lineal e invariante, se le denomina Sistema Discreto Lineal Invariante (SDLI).
En las aplicaciones prácticas de ingeniería en que intervenga una determinado SD, realizado con una computadora digital, en general éste podrá ser: lineal o no lineal, invariante o no invariante. Cabe señalar que hay aplicaciones donde el sistema discreto implicado es un SDLI, entre otros casos pueden mencionarse los filtros digitales y algunos tipos de controladores.

1.1. Aspectos básicos acerca del análisis de sistemas discretos lineales e invariantes

Una herramienta de uso frecuente en el estudio de los SDLI es la transformada Z, en esta sección se destacan algunos aspectos de su empleo para fines del análisis de un determinado SDLI, focalizándose las descripciones aquí presentadas a lo necesario para los fines de esta práctica. Una descripción detallada acerca del análisis los SDLI, empleando la transformada Z, puede verse en las referencias [1], [2] y [3].

1.1.1. Función de transferencia de un SDLI y su ecuación de recurrencia (ER)

La función de transferencia (FT) de un SDLI se define como:

$$H(z) = \frac{Y(z)}{X(z)} \tag{1.1}$$

Donde **Y(z)** y **X(z)** representan respectivamente las transformadas Z de las secuencias de salida y entrada del sistema, cuando las condiciones iniciales son nulas.
Por lo regular, la FT de un SDLI es un cociente de polinomios en Z. Al grado del denominador se le denomina como el orden del sistema y el grado del numerador deberá ser siempre menor o igual que el grado del denominador. Por ejemplo, la FT de un SDLI de orden "q" será:

$$H(z) = \frac{b_{q-m}z^{m} + b_{q-m+1}z^{m-1} + ...+ b_{q-1}z + b_{q}}{z^{q} + a_{1}z^{q-1} + ...+ a_{q-1}z + a_{q}} \tag{1.2}$$

Donde "m" debe ser menor o igual que "q", para que el sistema sea causal.
Poniendo en términos de potencias negativas de z, considerando (1.1), la FT expresada en (1.2), puede escribirse como:

$$\frac{Y(z)}{X(z)} = \frac{b_{q-m}z^{m-q} + b_{q-m+1}z^{m-q-1} + ...+ b_{q-1}z^{1-q} + b_{q}z^{-q}}{1 + a_{1}z^{-1} + ...+ a_{q-1}z^{1-q} + a_{q}z^{-q}} \tag{1.3}$$

O bien

$$[1 + \sum_{l=1}^{l=q} a_{l}z^{-l}]Y(z) = [\sum_{l=q-m}^{l=q} b_{l}z^{-l}]X(z) \tag{1.4}$$

Considerando la siguiente propiedad de la transformada Z para señales causales:

$$Z\{f(n-p)\} = z^{-p}Z\{f(n)\}\cdots\cdots(1.5)$$

Donde p > 0. Antitransformando ambos miembros de (1.4) y despejando y(n) se obtiene:

$$y(n) = -\sum_{l=1}^{l=q} a_{l}y(n-l) + \sum_{l=q-m}^{l=q} b_{l}x(n-l) \tag{1.6}$$

Donde se aprecia que, si q=m, el valor presente de la salida para un determinado valor de n está en función de q valores anteriores de la propia salida, del valor presente de la entrada, y de q valores anteriores de la entrada.

Por otra parte, si q > m, el valor presente de la salida para un determinado valor de n está en función de q valores anteriores de la propia salida, y de 'm+1' valores anteriores de la entrada.
A la ecuación (1.6) se le denomina como ecuación de recurrencia (ER) asociada con el SDLI, cuya FT H(z) es la definida por la ecuación (1.2). Apreciándose que los coeficientes de la FT son los mismos que aparecen en la ecuación de recurrencia.

Es de destacarse que, cuando una computadora digital realiza en tiempo real un determinado SDLI con FT H(z), simplemente se usa la ecuación (1.6) como fórmula de recurrencia para calcular el valor presente y(n) de la salida, el cual está en función de valores anteriores tanto de la salida como de la entrada.

Por lo regular la computadora digital será un microcontrolador (MCU); o bien un DSP.
En la figura 1.2 se muestra un esquema básico para la realización de una AIC basada en una computadora digital que realiza en tiempo real el SDLI requerido por la aplicación.

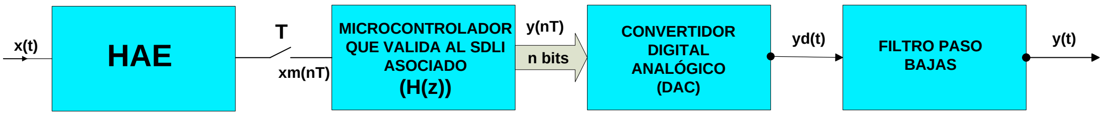

Fig 1.2. Esquema básico de una AIC realizada con una computadora digital

Donde:

HAE, es un hardware adecuador de entrada, que convierte el intervalo de valores propio del dispositivo que genera la señal x(t), al intervalo propio del MCU para fines del convertidor analógico digital propio de éste.

El filtro paso bajas se requiere para redondear las discontinuidades finitas que presenta la salida yd(t) del DAC.

1.2 Obtención fuera de línea de la salida de un SDLI empleando su ER
Antes de hacer que el SDLI, asociado con una determinada AIC, sea programado en una computadora digital para su ejecución en ésta en tiempo real, es conveniente analizar su comportamiento no en tiempo real, obteniendo, para las secuencias de entrada x(n) que se podrían presentar a la entrada del SDLI, las secuencias de salida y(n) correspondientes. Esto se hace *fuera de línea,* para ello simplemente se parte de contar con la secuencia de entrada x(n) con un determinado número 'nc' de componentes, el cual sería un vector unidimensional de información, en un programa escrito para fines de la obtención de 'nc' componentes de la secuencia de salida y(n), empleando la ecuación (1.6). Desde luego que el proceso aquí mencionado puede hacerse con lápiz, papel y calculadora. A continuación se muestra un ejemplo ilustrativo.

Ejemplo 1.1 Obtención de la secuencia de salida de un SDLI en forma recursiva
Obtener, empleando la ecuación de recurrencia asociada, los valores puntuales y(0) a y(14) de la secuencia de salida de un SDLI de orden uno cuya FT es:

$$H(z) = \frac{z + 3.5}{z - .5} \cdots\cdots (1.7)$$

Esto cuando la secuencia de entrada es un escalón discreto unitario.
La ecuación de recurrencia asociada es:

$$y(n) = 0.5y(n-1) + x(n) + 3.5x(n-1) \cdots\cdots (1.8)$$

Considerando que x(n) = u(n), y que las secuencias de entrada y salida son causales esto es:

$$x(n) = 0 \quad \forall \quad n < 0$$

$$y(n) = 0 \quad \forall \quad n < 0$$

Empleando (1.8)

$$y(0) = 0.5y(-1) + x(0) + 3.5x(-1) = 1$$

$$y(1) = 0.5y(0) + x(1) + 3.5x(0) = 5$$

$$y(2) = 0.5y(1) + x(2) + 3.5x(1) = 7$$

$$y(3) = 0.5y(2) + x(3) + 3.5x(2) = 8$$

$$y(4) = 0.5y(3) + x(4) + 3.5x(3) = 8.5$$

$$y(5) = 0.5y(4) + x(5) + 3.5x(4) = 8.75$$

$$y(6) = 0.5y(5) + x(6) + 3.5x(5) = 8.875$$

$$y(7) = 0.5y(6) + x(7) + 3.5x(6) = 8.9375$$

$$y(8) = 0.5y(7) + x(8) + 3.5x(7) = 8.96875$$

$$y(9) = 0.5y(8) + x(9) + 3.5x(8) = 8.984375$$

$$y(10) = 0.5y(9) + x(10) + 3.5x(9) = 8.9921875$$

$$y(11) = 0.5y(10) + x(11) + 3.5x(10) = 8.99609375$$

$$y(12) = 0.5y(11) + x(12) + 3.5x(11) = 8.998046875$$

$$y(13) = 0.5y(12) + x(13) + 3.5x(12) = 8.999023438$$

$$y(14) = 0.5y(13) + x(14) + 3.5x(13) = 8.999511719$$

Se aprecia que la secuencia y(n) tiende a tomar el valor 9, cuando la entrada al sistema es un escalón unitario.

1.3 Obtención de la salida de un SDLI empleando la transformada Z

Existen diversos métodos analíticos para obtener la secuencia de salida y(n) de un SDLI, cuando la entrada a éste es una determinada secuencia x(n). Una herramienta muy usada para esto es el emplear la transformada Z. Los pasos a seguir para estos fines podrían ser los siguientes:

1. Obtener la transformada Z X(z) de la secuencia de entrada x(n)

2. Considerando (1.1) obtener la transformada Z Y(z) de la secuencia de salida y(n), esto es:

$$Y(z) = H(z)X(z)$$

   Donde H(z) es la FT del SDLI

3. Antitransformar Y(z) para obtener la secuencia y(n)

Ejemplo 1.2 Obtención de y(n) para el SDLI del ejemplo 1.1 usando la transformada Z

Dado que x(n) es un escalón discreto unitario, X(z) es:

$$X(z) = \frac{z}{z-1} \cdots\cdots(1.9)$$

Considerando que la FT del SDLI de este ejemplo es la expresada en la ecuación (1.7), la transformada Z de la secuencia de salida y(n) es:

$$Y(z) = \frac{z+3.5}{z-.5}\,\frac{z}{z-1} \cdots\cdots(1.10)$$

Desarrollando en fracciones parciales:

$$Y(z) = \frac{9z}{z-1} - \frac{8z}{z-.5} \cdots\cdots(1.11)$$

La secuencia y(n) es la antitransformada de Y(z)

$$y(n) = [9 - 8(0.5)^n]u(n) \cdots\cdots(1.12)$$

Puede verificarse que los valores puntuales de y(n) para n comprendida entre 0 y 14, obtenidos usando la ecuación (1.12), coinciden exactamente con los obtenidos para el mismo sistema y entrada en forma recursiva en el ejemplo 1.1. Además, se aprecia que a partir de la ecuación (1.12) se puede obtener el valor puntual de y(n) para cualquier n, sin que sea necesario haber calculado previamente valores anteriores, como es el caso cuando se usa la ecuación de recurrencia (1.8) del ejemplo 1.1.

Para fines del análisis de un determinado SDLI pueden emplearse el método recursivo; o bien, algún método analítico como el usado en el ejemplo 1.2. Los métodos analíticos permiten apreciar globalmente que sucede, por ejemplo, se aprecia claramente si el SDLI es estable o no. **Por otra parte, los métodos recursivos son muy importantes porque, como se mencionó en párrafos anteriores, éstos son los que emplea una computadora digital, cuando ésta realiza en tiempo real un determinado SDLI.**

2. Descripción general de la práctica

Para la realización de las experiencias asociadas con esta práctica se emplea un sistema integrado por software y hardware denominado: **S**istema para la **I**lustración y **A**prendizaje de **C**onceptos de la **T**eoría de **S**istemas y **S**eñales (SIACTSS), desarrollado en el Departamento de Control y Robótica de la Facultad de Ingeniería de la UNAM. En la figura 2.1 se muestran los componentes del SIACTSS.

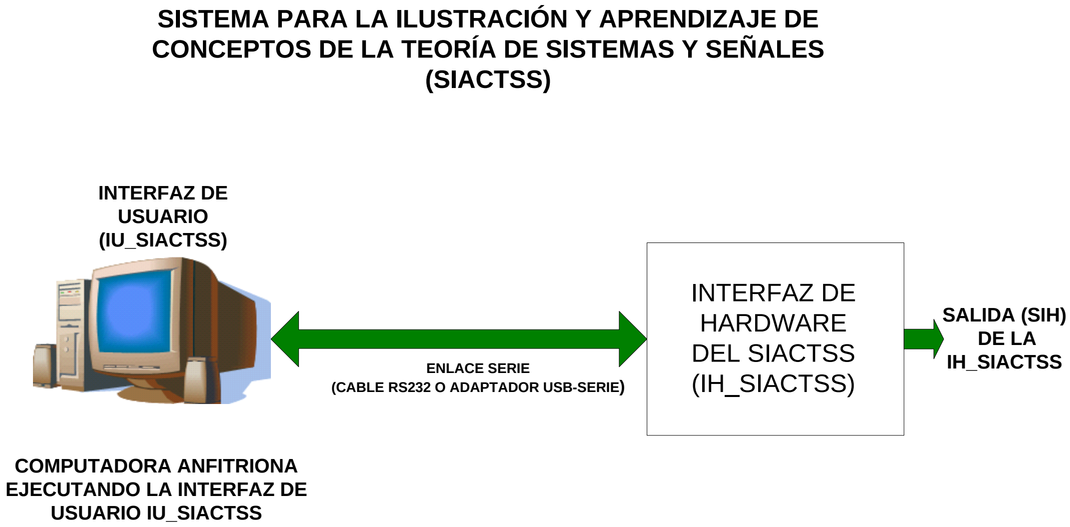

Fig 2.1. Componentes del sistema SIACTSS

Para fines de los conceptos propios de esta práctica, mediante el SIACTSS, entre otras, se pueden efectuar las siguientes acciones:

1. Especificar, en la pantalla virtual de la IU_SIACTSS, los vértices que delimitan tramos rectos que integran la forma del periodo de una señal continua para la cual se desea calcular los coeficientes de las series trigonométrica y/o exponencial de Fourier. O bien, será muestreada virtualmente, para generar la secuencia periódica x(n) que será la entrada de un determinado SDLI que se esté analizando en un momento dado. El número posible de vértices está comprendido entre 2 y 100. En la figura 2.2 se muestra, en la ventana principal de la IU_SIACTSS, la especificación de una señal de cuatro vértices.

2. Guardar en un archivo sfp, la señal especificada en el paso anterior, para el caso aquí ilustrado escper_100mper.sfp, es el nombre del archivo donde se almacenó la señal mostrada en la figura 2.2.

3. Especificar el número de muestras por periodo a utilizar en el procesamiento de la señal periódica presente en la pantalla virtual de la IU_SIACTSS. En el ejemplo de la figura 2.2 se ha predeterminado el utilizar 100 muestras/periodo.

4. Especificar el periodo de muestreo ‘Tm’, a utilizar para generar la secuencia de entrada x(n), aplicable al SDLI presente que se esté estudiando en un momento dado. Para el caso de la señal de la figura 2.2 este parámetro vale 2 ms.

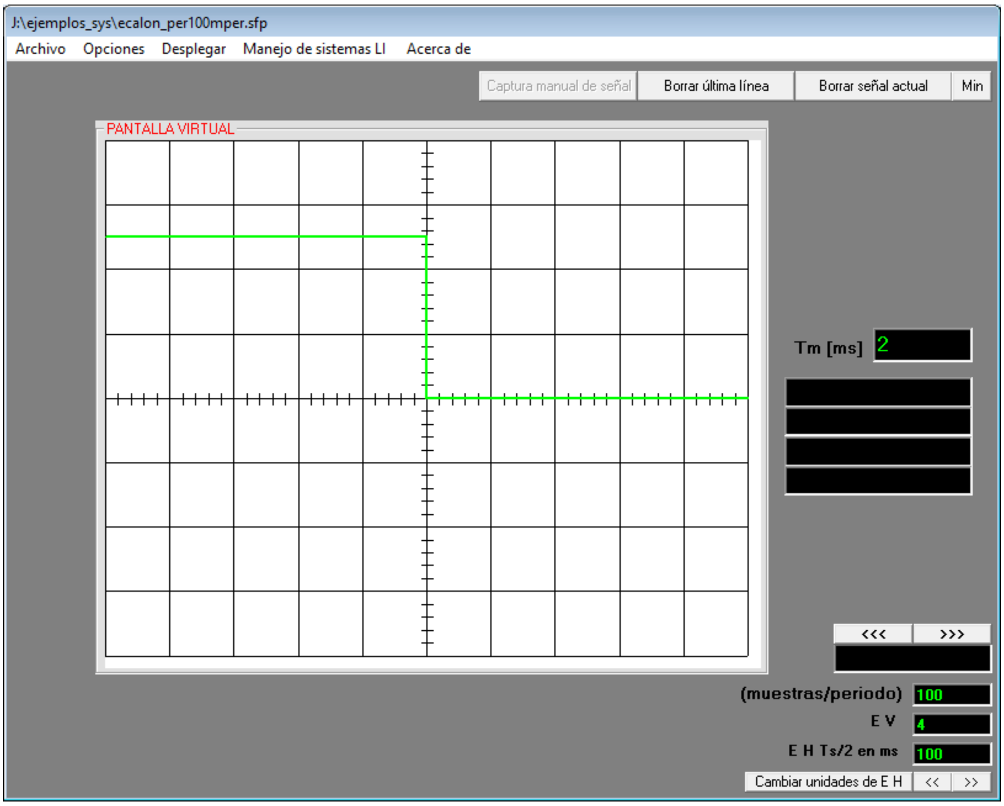

Fig 2.2. Señal continua a muestrear para generar una secuencia de entrada aplicable a un determinado SDLI.

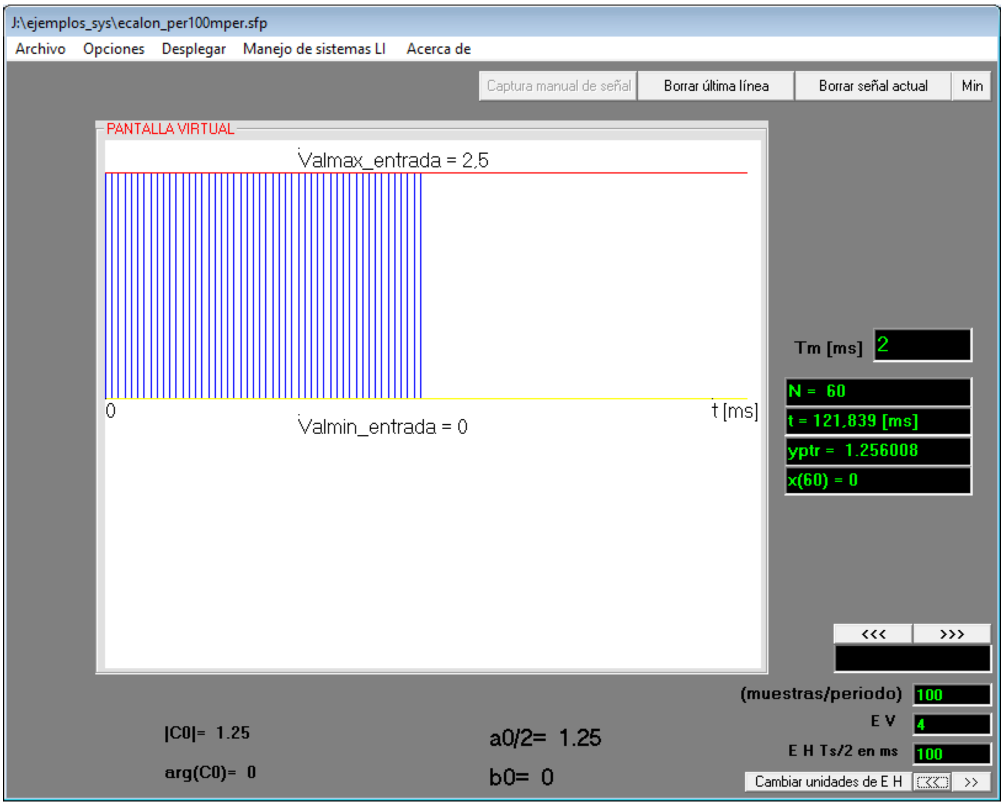

Fig 2.3. Secuencia x(n) obtenida al muestrear la señal presente mostrada en la figura 2.2

5. Desplegar en la pantalla virtual de la IU_SIACTSS, la secuencia periódica x(n) obtenida al muestrear la señal presente. En la figura 2.3 se muestra ésta cuando la señal muestreada es la que aparece en la figura 2.2.

6. Especificar, en forma extendida, la función de transferencia (FT) H(z) de un determinado SDLI, que se desee estudiar. La forma genérica para la FT a definir es:

$$H(z) = \frac{b_0 + b_1 z^{-1} + ...+ b_{q-1} z^{1-q} + b_q z^{-q}}{1 + a_1 z^{-1} + ...+ a_{q-1} z^{1-q} + a_q z^{-q}} \cdots\cdots (2.1)$$

Donde ‘q’ es el orden del SDLI. La IU_SIACTSS pide en primera instancia el valor de ‘q’, para luego pedir los valores de los coeficientes presentes en el numerador y denominador de la FT

7. Especificar, en forma factorizada, la FT H(z) de un determinado SDLI. La forma genérica para la FT es:

$$H(z) = \prod_{l=1}^{l=q/2} \frac{b_{l0} + b_{l1} z^{-1} + b_{l2} z^{-2}}{1 + a_{l1} z^{-1} + a_{l2} z^{-2}} \cdots\cdots (2.2)$$

Cuando el orden es par.
Si el orden es impar la FT factorizada presenta la siguiente forma:

$$H(z) = \frac{b_{00} + b_{01} z^{-1}}{1 + a_{01} z^{-1}} \prod_{l=1}^{l=(q-1)/2} \frac{b_{l0} + b_{l1} z^{-1} + b_{l2} z^{-2}}{1 + a_{l1} z^{-1} + a_{l2} z^{-2}} \cdots\cdots (2.3)$$

Donde ‘q’ es el orden del SDLI. La IU_SIACTSS pide en primera instancia el valor de ‘q’, para luego pedir secuencialmente los valores de los coeficientes de la etapa de primer orden, y después de esto se piden al usuario los valores de los coeficientes de las etapas de orden 2 implicadas.

8. Guardar en un archivo ‘hdz’ los parámetros asociados con un determinado SDLI que se haya especificado, esto para su uso posterior.

9. Obtener fuera de línea la secuencia periódica de salida y(n) del SDLI presente, cuando su entrada es la secuencia periódica x(n) obtenida al muestrear la señal presente. El valor de ‘n’ estaría comprendido en el intervalo [0, nmp-1], donde nmp representa a el número de muestras por período que se haya especificado. Para esta facilidad el valor máximo para el orden es 50.

10. Realizar en tiempo real el SDLI presente. Esto se efectúa en la IH_SIACTSS, pudiéndose apreciar en la terminal SIH de ésta, véase la figura 2.1, la secuencia periódica y(n) de salida del SDLI en cuestión, cuando la entrada a éste es la secuencia periódica x(n) que se haya determinado en un momento dado. Para esta facilidad el valor máximo para el orden es 10. Además, debido a las

características del MCU que valida a la IH_SIACTSS, el periodo de muestreo ‘Tm’ que puede utilizarse es del orden de milisegundos. Por ejemplo, para un SDLI de orden 2, el periodo de muestreo mínimo es 2 ms, si el orden es mayor que dos esta cota obviamente aumenta.

A continuación se muestran tres ejemplos ilustrativos.

Ejemplo 2.1 Obtención de y(n) para un SDLI de orden 2 y polos reales
Se desea obtener la respuesta periódica y(n) de un SDLI de orden 2, cuando la entrada a éste es la secuencia periódica para la cual se muestra el periodo básico en la figura 2.3, apreciándose ahí que éste es 200 ms. La FT asociada en términos de potencias positivas de z es:

$$H(z) = \frac{4.16z - 1.76}{z^2 - 0.9z + 0.2} \cdots\cdots (2.4)$$

Los polos de la FT anterior son reales y valen 0.4 y 0.5

La ecuación de recurrencia asociada es:

$$y(n) = 0.9y(n-1) - 0.2y(n-2) + 4.16x(n-1) - 1.76x(n-2) \cdots\cdots (2.5)$$

Empleando la ecuación anterior se puede obtener la secuencia de salida y(n) cuando la secuencia de entrada es la mostrada en la figura 2.3. Considerando causalidad tanto para y(n) como para x(n), y usando facilidades de la IU_SIACTSS se obtiene la secuencia de salida y(n), esto se hace fuera de línea. Las secuencias de entrada y salida de este ejemplo, para ‘n’ comprendida entre 0 y 99 se muestran en la figura 2.4, apreciándose ahí que y(n) tiende a 20.

Por otra parte, para fines de corroboración, se puede obtener analíticamente la secuencia de salida yu(n), cuando la entrada es un escalón discreto de magnitud 2.5. Empleando conceptos de la teoría relacionada con sistemas discretos lineales e invariantes, usando la transformada Z, acorde con la FT del SDLI de este ejemplo, la transformada Z de la secuencia yu(n) es:

$$YU(z) = \frac{4.16z - 1.76}{z^2 - .9z + 0.2}\,\frac{2.5z}{z - 1} \cdots\cdots (2.6)$$

Antitransformando empleando fracciones parciales la secuencia yu(n) es:

$$yu(n) = 20[1 - 0.8(0.5)^n - 0.2(0.4)^n]u(n) \cdots\cdots (2.7)$$

A partir de la ecuación 2.7 puede apreciarse que el valor permanente de la respuesta al escalón de magnitud 2.5 es 20. En la figura 2.5 se muestra la respuesta a escalón unitario obtenida por la IU_SIACTSS, ahí se aprecia la validez de los datos para la salida mencionados en este párrafo. Nótese que hay que considerar que la magnitud del escalón para la figura 2.5 es 1 y no 2.5.

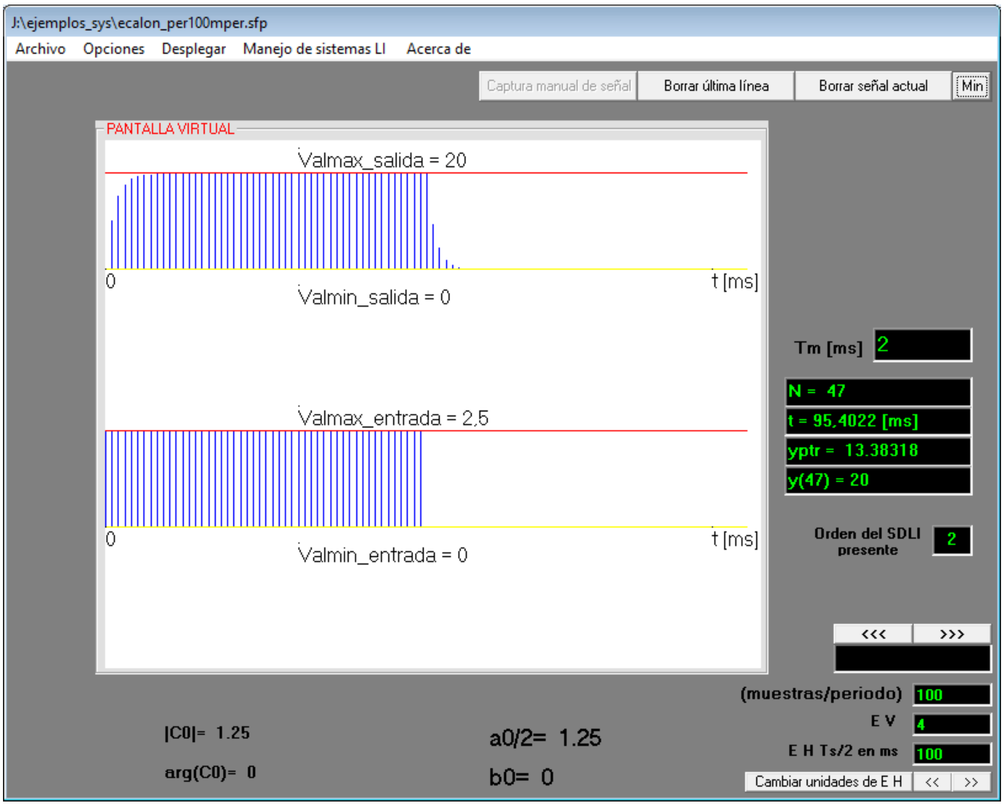

Fig 2.4. Secuencias de entrada y salida para el ejemplo 2.1

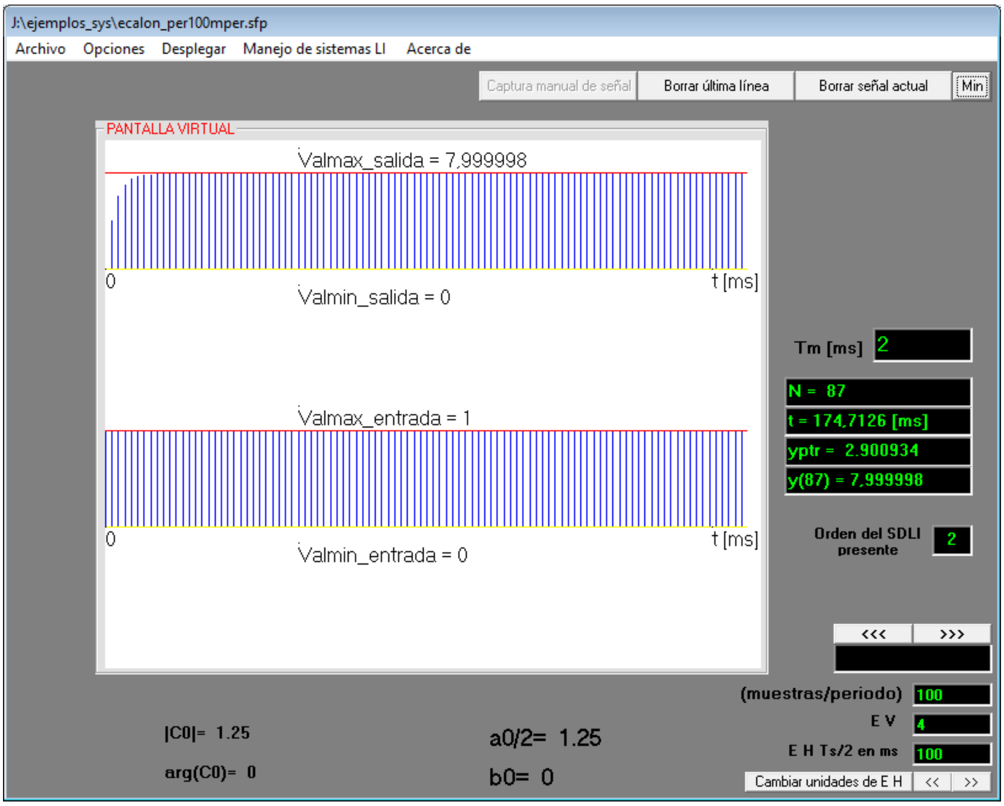

Fig 2.5. Respuesta a escalón unitario obtenida por la IU_SIACTSS para el SDLI del ejemplo 2.1

En la tabla 2.1 se muestran los valores de la secuencia yu(n) para n comprendido entre 0 y 10, obtenidos empleando la solución analítica (ecuación 2.7) y la ecuación de recurrencia (2.5), se aprecia ahí que**, ¡ los valores son prácticamente los mismos !.**

Tabla 2.1 yu(n) obtenido analíticamente y en forma recursiva para el caso del ejemplo 2.1

n	**yu(n) obtenida con la ecuación 2.5 (ecuación de recurrencia)**	**yu(n) obtenida con la ecuación 2.7 (Solución analítica)**
0	0	0
1	10.4	10.4
2	15.36	15.36
3	17.744	17.744
4	18.8979	18.8979
5	19.45902	19.45902
6	19.7336	19.7336
7	19.86842	19.86842
8	19.93487	19.93487
9	19.9677	19.9677
10	19.983955	19.983955

Ejemplo 2.2 Obtención de y(n) para un SDLI de orden 2 y polos complejos

Se desea obtener la respuesta periódica y(n) de un SDLI de orden 2, cuando la entrada a éste es la secuencia periódica para la cual se muestra el periodo básico en la figura 2.3, apreciándose ahí que éste es 200 ms. La FT asociada en términos de potencias positivas de z es:

$$H(z) = \frac{0.1z + 0.1}{z^2 - 1.7119\,z + 0.81} \cdots\cdots (2.8)$$

Los polos de la FT anterior son:

$$Zp_{12} = 0.9e^{\pm j\frac{\pi}{10}}$$

La ecuación de recurrencia asociada es:

$$y(n) = 1.7119\,y(n-1) - 0.81y(n-2) + 0.1x(n-1) + 0.1x(n-2) \cdots\cdots (2.9)$$

Empleando la ecuación anterior se puede obtener la secuencia de salida y(n) cuando la secuencia de entrada es la mostrada en la figura 2.3. Considerando causalidad tanto para y(n) como para x(n), y usando facilidades de la IU_SIACTSS se obtiene la secuencia de salida y(n), esto se hace fuera de línea. Las secuencias de entrada y salida de este ejemplo, para ‘n’ comprendida entre 0 y 99 se muestran en la figura 2.6, apreciándose ahí que el valor máximo para y(n) es 6.9740 y éste se presenta para n=10.

Por otra parte, para fines de corroboración, se puede obtener analíticamente la secuencia de salida yu(n), cuando la entrada es un escalón discreto de magnitud 2.5. Empleando conceptos de la teoría relacionada con sistemas discretos lineales e invariantes, usando la transformada Z, acorde con la FT del SDLI de este ejemplo, la transformada Z de la secuencia yu(n) es:

$$YU(z) = \frac{0.1z + 0.1}{z^2 - 1.7119\,z + 0.81}\,\frac{2.5z}{z - 1}\cdots\cdots(2.10)$$

Antitransformando empleando fracciones parciales la secuencia yu(n) es:

$$yu(n) = [5.09684 + (0.9)^n 5.38603\,sen(n\frac{\pi}{10} + 4.38321)]u(n)\cdots\cdots(2.11)$$

A partir de la ecuación 2.11 puede apreciarse que el valor permanente de la respuesta al escalón de magnitud 2.5 es 5.09684, y además que para n=10 se presenta el valor máximo de la respuesta, y éste es 6.874. En la figura 2.7 se muestra la respuesta a escalón unitario obtenida por la IU_SIACTSS, ahí se aprecia la validez de los datos para la salida mencionados en este párrafo. Nótese que hay que considerar que la magnitud del escalón para la figura 2.7 es 1 y no 2.5.

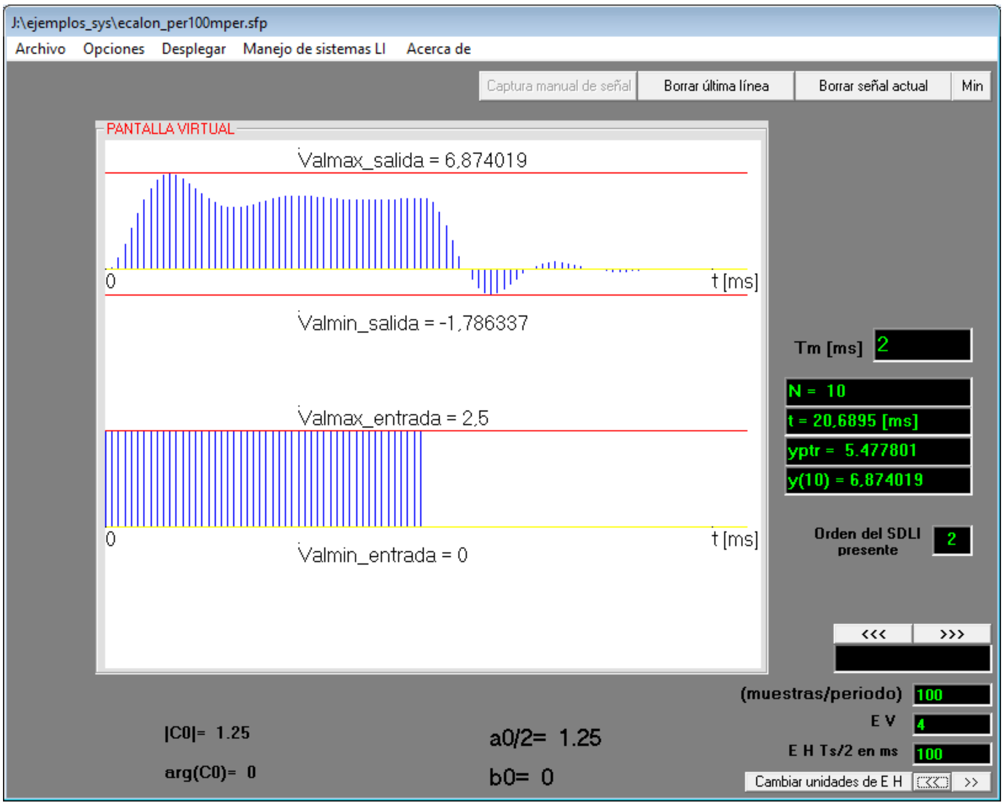

Fig 2.6. Secuencias de entrada y salida para el ejemplo 2.2

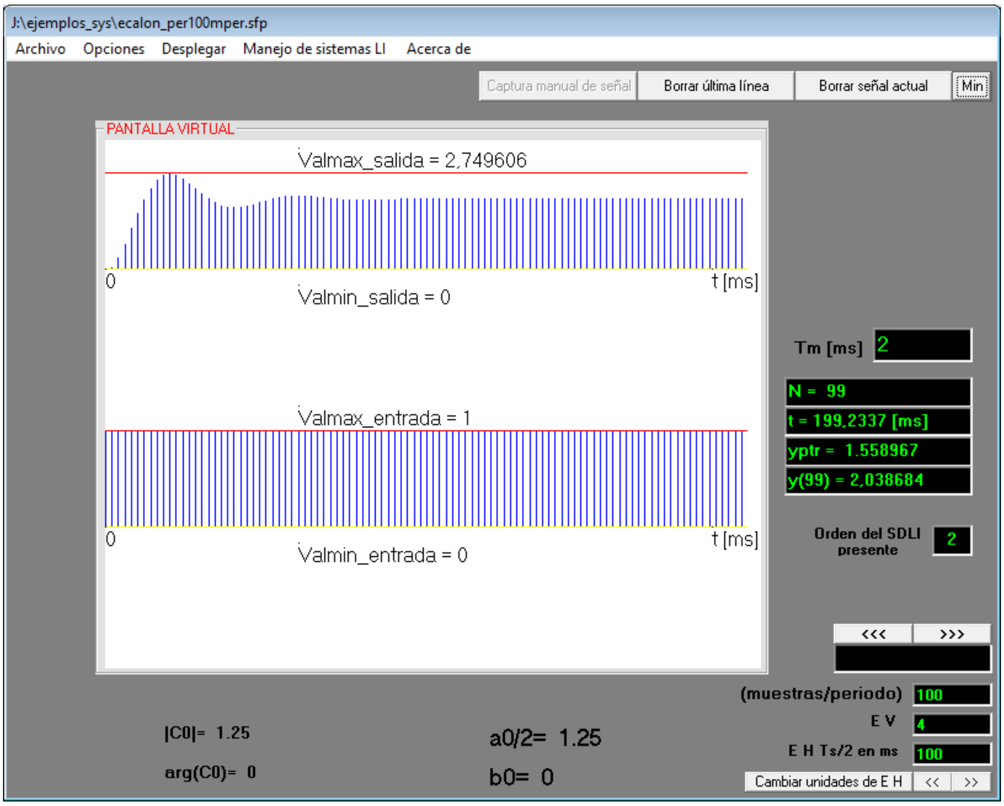

Fig 2.7. Respuesta a escalón unitario obtenida por la IU_SIACTSS para el SDLI del ejemplo 2.2

En la tabla 2.2 se muestran los valores de la secuencia yu(n) para n comprendido entre 0 y 10, obtenidos empleando la solución analítica (ecuación 2.11) y la ecuación de recurrencia (2.9), se aprecia ahí que**, ¡ los valores son prácticamente los mismos !.**

Tabla 2.2 yu(n) obtenido analíticamente y en forma recursiva para el caso del ejemplo 2.2

n	**yu(n) obtenida con la ecuación 2.9 (ecuación de recurrencia)**	**yu(n) obtenida con la ecuación 2.11 (Solución analítica)**
0	0	-1.05e-5
1	0.25	0.24995
2	0.927975	.927903
3	1.8861	1.886004
4	2.977156	2.977043
5	4.068851	4.068733
6	5.053971	5.053858
7	5.856123	5.856025
8	6.431381	6.431306
9	6.766421	6.766374
10	6.874019	6.874001

Ejemplo 2.3. Realización en tiempo real del SDLI del ejemplo 2.2
Se desea realizar en tiempo real el SDLI del ejemplo 2.2, se supone que la entrada periódica x(n) es la mostrada en la figura 2.3, y que el periodo de muestreo es de 2 ms. Esto se hace empleando facilidades del SIACTSS efectuando los siguientes pasos:

a) En la IU_SIACTSS, abrir la señal mostrada en la figura 2.2 y especificar que el periodo de muestreo es 2 ms.

b) Generar la STF con una o varias armónicas.

c) En la IU_SIACTSS, especificar los parámetros de la FT del ejemplo 2.2, véase la ecuación 2.8.

d) Empleando facilidades de la IU_SIACTSS, descargar a la IH_SIACTSS la FT definida en el paso (c), de modo que el SDLI se ejecute en tiempo real en el MCU de la IH_SIACTSS. La entrada periódica x(n) supuesta por el sistema, es la que se haya determinado en el paso (a).

Una vez completados los cuatro pasos anteriores, el SDLI implicado deberá estar ejecutandose en tiempo real en la IH_SIACTSS, y en la salida SIH de ésta deberá estar la señal periódica y(n) que es la salida del SDLI de este ejemplo.

En la figura 2.8 se aprecia, en la pantalla virtual de la IU_SIACTSS, el aspecto que debe tener la salida del convertidor digital analógico (DAC) asociado con el SDLI de este ejemplo, al realizarse éste en tiempo real en la IH_SIACTSS. En la figura 2.9 se aprecia la salida SIH de la IH_SIACTSS.

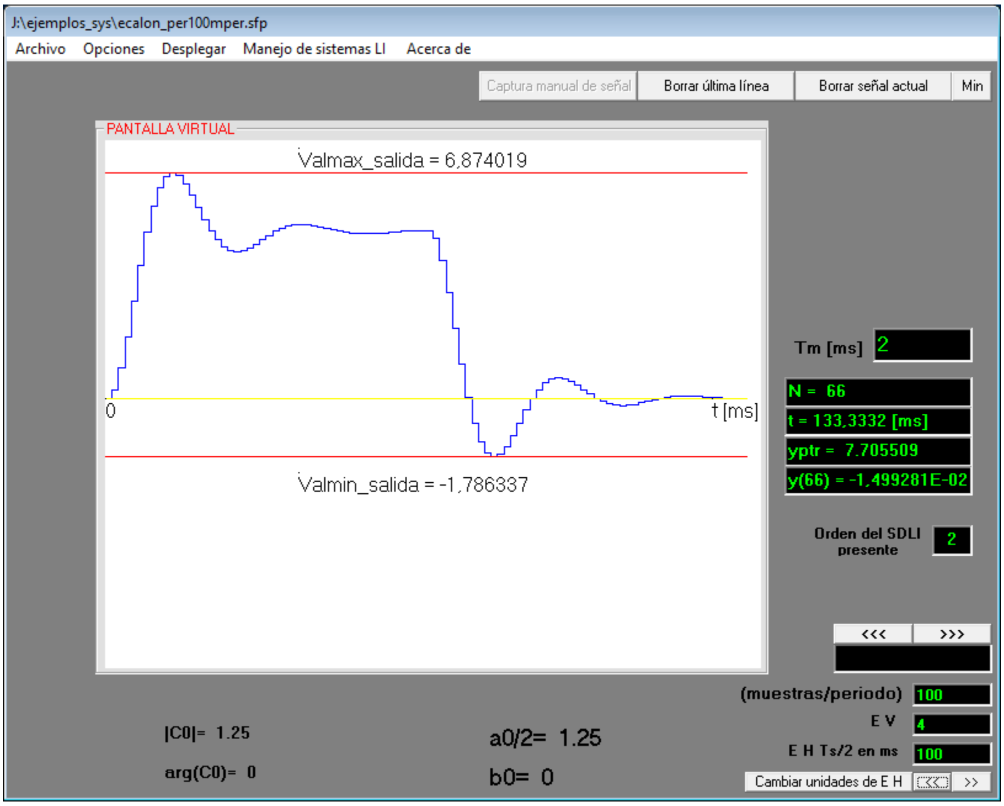

Fig 2.8. Aspecto que debe tener la salida del DAC asociado con el SDLI del ejemplo 2.3

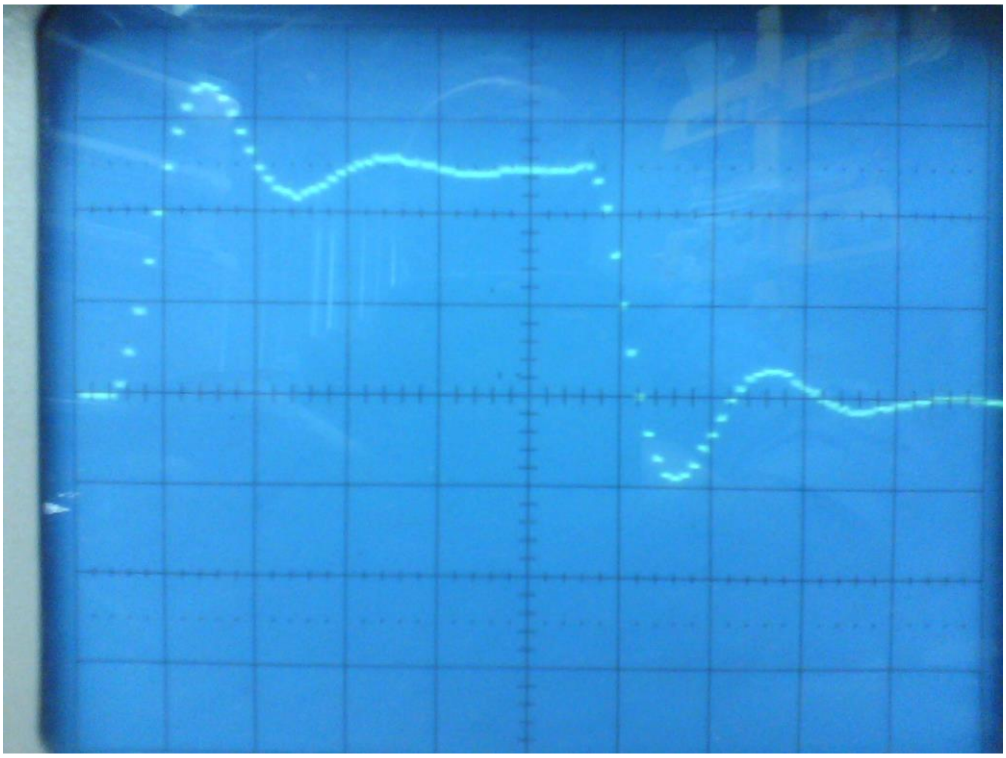

Fig 2.9. Salida de la IH_SIACTSS cuando ésta realiza en tiempo real el SDLI del ejemplo 2.2 con Tm=2 ms. La entrada x(n) es la secuencia mostrada en la figura 2.3. EV 2 V/div, EH 20 ms/div

3. Trabajo para el estudiante

Empleando la IU_SIACTSS, software apropiado, calculadora, papel y lápiz; el trabajo para el alumno podría ser:

1. Especificar la FT de un SDLI, definida por el propio alumno, o bien por el profesor.

2. Especificar una señal periódica que al ser muestreada genere la secuencia de entrada x(n) aplicable al SDLI definido en el paso anterior.

3. Especificar el periodo de muestreo Tm a emplear.

4. Generar fuera de línea la secuencia periódica y(n) de salida del SDLI y graficarla en la pantalla virtual.

5. Obtener, a partir de la ecuación de recurrencia asociada, los valores de la secuencia y(n), cuando la entrada es la secuencia definida en el paso 2. Esto para un determinado intervalo de valores de ‘n’, a partir de n=0. Esto deberá hacerse preferentemente empleando papel, lápiz y calculadora.

6. Corroborar lo obtenido en el paso 6 con lo que la IU_SIACTSS obtuvo en el paso 4.

7. Obtener en forma analítica la respuesta yu(n) a un escalón de una determinada magnitud.

8. Obtener en forma recursiva la respuesta al escalón empleado en el paso 7 y comparar ésta con la obtenida en forma analítica, como se hace en los ejemplos 2.1 y 2.2.

9. Si la IH_SIACTSS está disponible, siguiendo lo detallado en el ejemplo 2.3, realizar en ésta en tiempo real, el SDLI especificado en el paso 1, siendo la entrada periódica x(n) la definida en el paso 2. Observar en un osciloscopio la señal de salida física y(n), y apreciar que ésta debe ser coherente con la obtenida fuera de línea empleando herramientas presentes en la IU_SIACTSS.

4. Equipo básico requerido para la realización de esta práctica

1. Computadora PC con el software instalado que valida a la IU_SIACTSS. Es deseable que dicha computadora tenga puerto serie físico; si no es el caso, habría que emplear un adaptador USB - SERIE comercial.

2. Interfaz de hardware del SIACTSS (IH_SIACTSS).

3. Osciloscopio

5. Referencias

[1] C. L. Liu, Jane W. S., Liu, Linear Systems Analysis. McGraw – Hill, 1975.

[2] OGATA K, Sistemas de Control en Tiempo Discreto, Prentice Hall, 1996

[3] MATA, G. H., et al. Análisis de sistemas y señales con cómputo avanzado Todos 1era edición México Facultad de Ingeniería, UNAM, 2002